

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-152908

(43) 公開日 平成5年(1993)6月18日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 5/04		4239-5 J		
G 0 6 F 1/04	A	7165-5 B		

審査請求 未請求 請求項の数 1 (全 7 頁)

(21) 出願番号 特願平3-309343

(22) 出願日 平成3年(1991)11月25日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 古木勉

東京都港区芝五丁目7番1号 日本電気株式会社内

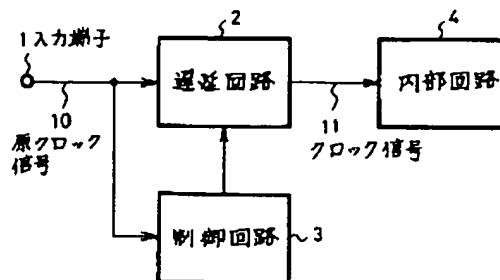
(74) 代理人 弁理士 井出 直孝

(54) 【発明の名称】 クロック信号生成回路

(57) 【要約】

【目的】 高調波成分が顕著に現れるクロック信号において、高調波成分を減少させ、電磁輻射などの雑音を抑制する。

【構成】 遅延回路2に原クロック信号1を入力させ、制御回路3によって遅延回路2の遅延時間を1パルスごとに可変させ、遅延回路2の出力をクロック信号11として利用する。



【特許請求の範囲】

【請求項1】 所定のパルス列からなるクロック信号を生成するクロック信号生成回路において、遅延時間を可変できる遅延回路と、前記遅延回路に原クロック信号を入力させ1パルスごとにその遅延時間を可変させ、発生させる複数の遅延クロック信号を選択して所定のパルス列からなるクロック信号を出力させ制御を行う制御回路とを備えたことを特徴とするクロック信号生成回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、クロック信号生成回路に利用され、特に、高調波を減少させたクロック信号生成回路に関する。

【0002】

【従来の技術】従来クロック信号は、水晶発振などを利用した基準パルス発生器から生成し、このクロック信号を半導体集積回路に入力させ回路やコンピュータの動作の歩調を合わせるために使用されている。

【0003】図6にクロック信号の一例を示す。横軸が時間で縦軸が電圧である。このようにクロック信号は常に振幅、周波数およびデューティ比が一定のパルス波となっており、半導体集積回路の内部へと供給され回路動作の源となっている。またこのクロック信号の周波数は、初期の半導体素子を用いたコンピュータでは1MHz程度であったが、現在のマイクロコンピュータでは16MHz、32MHzと高くなってきており、技術の進歩とともに増加している。

【0004】

【発明が解決しようとする課題】この従来のクロック信号をフーリエ解析により時間領域の波形を周波数領域のスペクトラムで表現すると、図7のように、クロック信号の周波数 f の正弦波（以下、基本周波数という。）と、その奇数倍の周波数 $3f$ 、 $5f$ 、 $7f$ 、 $9f$ 、…の正弦波（以下、高調波という。）の和として表現される。なお図7においては $11f$ 以上の高調波は省略されている。

【0005】このように、振幅、周波数およびデューティ比が常に一定なクロック信号は、非常に狭い帯域にエネルギーが集中しているため、電磁輻射などの雑音が発生しやすくなる。特に、近年クロック信号の動作周波数が16MHz、32MHzと高くなっているため、その奇数倍の周波数はFMバンドやTVバンドに重なるため、音声や画像に雑音が乗ったり、VTRやステレオのシステムに誤動作を引き起こす課題があった。

【0006】本発明の目的は、前記の課題を解消することにより、クロック信号に含まれる高調波成分を減少させたクロック信号を生成するクロック信号生成回路を提供することにある。

【0007】

【課題を解決するための手段】本発明は、所定のパルス列からなるクロック信号を生成するクロック信号生成回路において、遅延時間を可変できる遅延回路と、前記遅延回路に原クロック信号を入力させ1パルスごとにその遅延時間を可変させ、発生させる複数の遅延クロック信号を選択して所定のパルス列からなるクロック信号を出力させ制御を行う制御回路とを備えたことを特徴とする。

【0008】

10 【作用】本発明で生成される所定のクロック信号は、原クロック信号が遅延回路に入力されて、その1パルスごとに異なる遅延時間を与えられた複数の遅延クロック信号とし、この複数の遅延クロック信号を選択出力することにより生成される。

【0009】このため、複数の遅延クロック信号が有する高調波は互いに相殺されるものが生じ、結果として、遅延回路から出力される所定のパルス列からなるクロック信号は、入力される原クロック信号よりも高調波成分の減少したものとなる。

【0010】

【実施例】以下、本発明の実施例について図面を参照して説明する。

【0011】図1は本発明の第一実施例を示すブロック構成図である。

【0012】本第一実施例は、所定のパルス列からなるクロック信号11を生成し内部回路4に入力するクロック信号生成回路において、本発明の特徴とするところの、遅延時間を可変できる遅延回路2と、この遅延回路2の遅延時間を可変し、入力端子1から入力される原クロック信号10の1パルスごとに異なる遅延時間を有する複数の遅延クロック信号を出力させそれらを組み合わせて所定のパルス列からなるクロック信号11を出力させる制御を行う制御回路3とを備えている。

【0013】本第一実施例においては、遅延回路2へ入力端子1に入力された原クロック信号10を入力し、制御回路3によって1パルスごとに遅延回路2の遅延時間を変化させ、複数の遅延時間の異なる遅延クロック信号を発生させそれらを選択組み合わせる内部回路4へクロック信号11として出力する。

40 【0014】次に、遅延回路2の遅延時間を変化させる方法の一例として、遅延時間の異なる遅延回路を複数設け、制御回路3によって1パルスごとに遅延回路を任意に選択し、その出力をクロック信号として出力する方法が考えられる。図2はこの方法による遅延回路の一例を示すブロック構成図で、図3はその動作を示すタイミングチャートである。

【0015】図2において、遅延回路2は、遅延クロック信号21aを出力する遅延回路(1)21、遅延クロック信号22aを出力する遅延回路(2)22、遅延クロック信号23aを出力する遅延回路(3)23、およ

3

び遅延クロック信号24aを出力する遅延回路(4)24を含んでいる。

【0016】そして、図3に示すように、遅延クロック信号21a、22a、23aおよびクロック信号24aは、原クロック信号10に対して順に大きい遅延時間が与えられている。

【0017】制御回路3は、図3において、下欄に信号切替順序として示すように、遅延クロック信号24a、21a、22a、23a、21a、24a、22a、および21aの順に、各所定の時間にわたり、選択切り替えて出力することにより、図示のクロック信号11を出力させる。

【0018】図4はこの生成されたクロック信号11と原クロック信号10とをフーリエ解析を行い、その結果の高調波を片対数グラフにプロットしたものである。なお、図3において、0.2V以下の振幅のものは省略してある。

【0019】ここでは、原クロック信号10の周波数を16.7MHz、デューティ比50%として0nsec~240nsecの範囲でフーリエ解析を行っている。この図3より明らかに高調波の振幅のピーク値がクロック信号11の方が原クロック信号1よりも減少していることが分かる。

【0020】図4は本発明の第二実施例を示すブロック構成図で、本発明を出力バッファに限定して使用した場合を示す。

【0021】ここでは、内部回路4へは原クロック信号1を直接入力させ、出力バッファ41~4nの前段のクロックインバータ31~3nと、遅延回路2によって、出力端子51~5nへ出力信号を伝達させるタイミングを決定している。

【0022】通常、出力バッファの駆動はクロック信号によって制御されているため、当然出力端子波形もクロック信号と同様に高調波が存在する。また、出力端子は負荷が数十pFと大きいので、出力バッファの電流駆動能力が大きく、しかも出力端子は複数本存在するため、それぞれが同時にスイッチングをすると電源線や接地線に雑音が観測される。

4

【0023】そのため、遅延回路2の出力を、制御回路3によって、各クロックインバータ31~3nへそれぞれタイミングをずらして入力させ、しかも、1パルスごとに遅延時間を変化させることにより、高調波成分を減少させると同時に、電源線および接地線に乗る雑音を減少させることができる利点がある。

【0024】

【発明の効果】以上説明したように、本発明は、原クロック信号を遅延回路に入力させ、遅延回路の遅延時間を1パルスごとに可変させ、遅延回路の出力をクロック信号として利用したので、クロック信号に含まれる高調波成分を減少させ、電磁輻射による雑音を防止できる効果がある。

【図面の簡単な説明】

【図1】本発明の第一実施例を示すブロック構成図。

【図2】その遅延回路の一例を示すブロック構成図。

【図3】その動作を示すタイミングチャート。

【図4】そのクロック信号をフーリエ解析させた結果のスペクトラム図。

【図5】本発明の第二実施例を示すブロック構成図。

【図6】クロック信号を示す波形図。

【図7】図6のクロック信号をフーリエ解析させた結果のスペクトラム図。

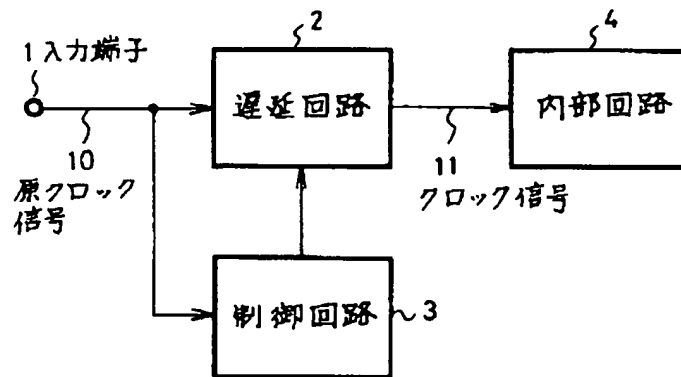
【符号の説明】

- 1 入力端子
- 2 遅延回路
- 3 制御回路
- 4 内部回路
- 10 原クロック信号
- 11 クロック信号
- 21 遅延回路(1)
- 22 遅延回路(2)
- 23 遅延回路(3)
- 24 遅延回路(4)
- 21a~24a 遅延クロック信号
- 31~3n クロックインバータ
- 41~4n 出力バッファ
- 51~5n 出力端子

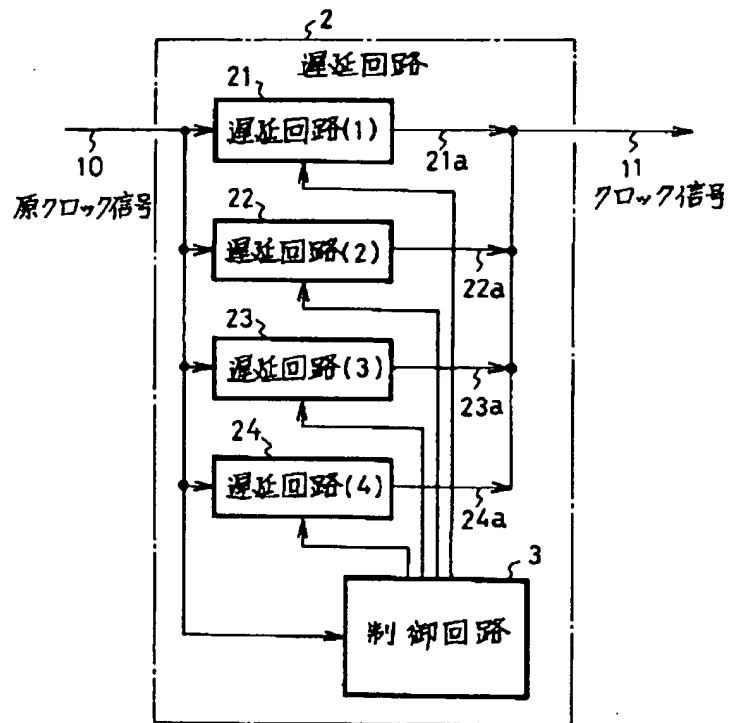
【図6】



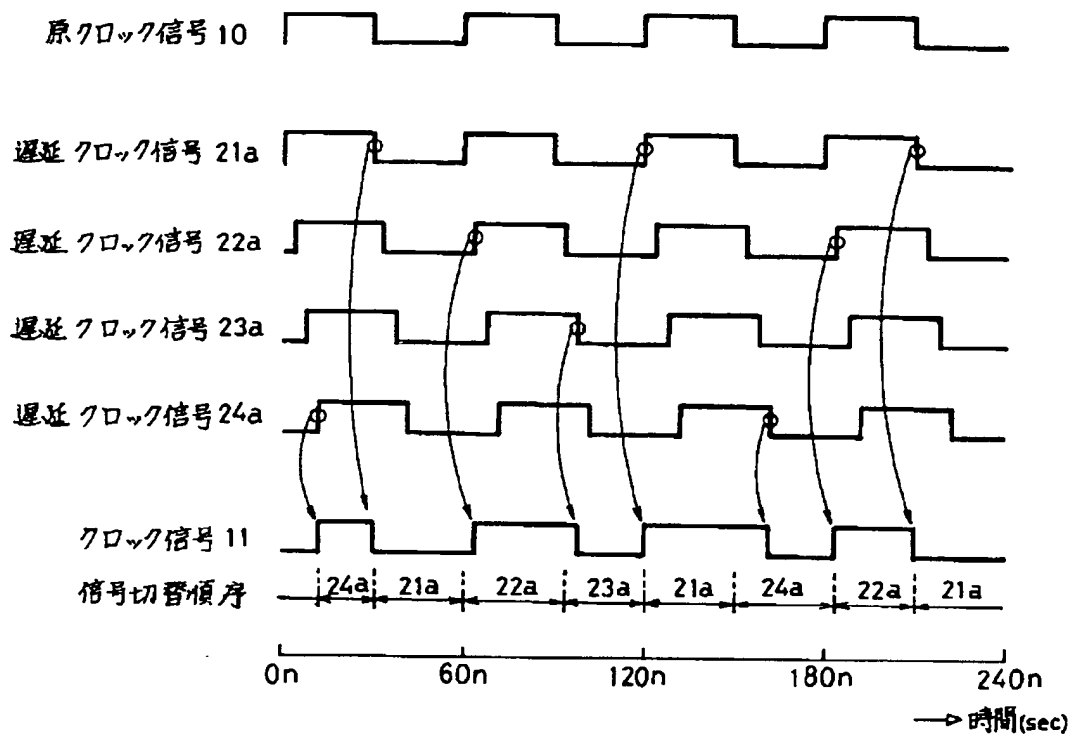
【図1】



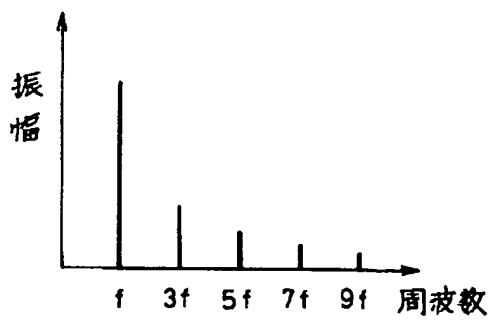
【図2】



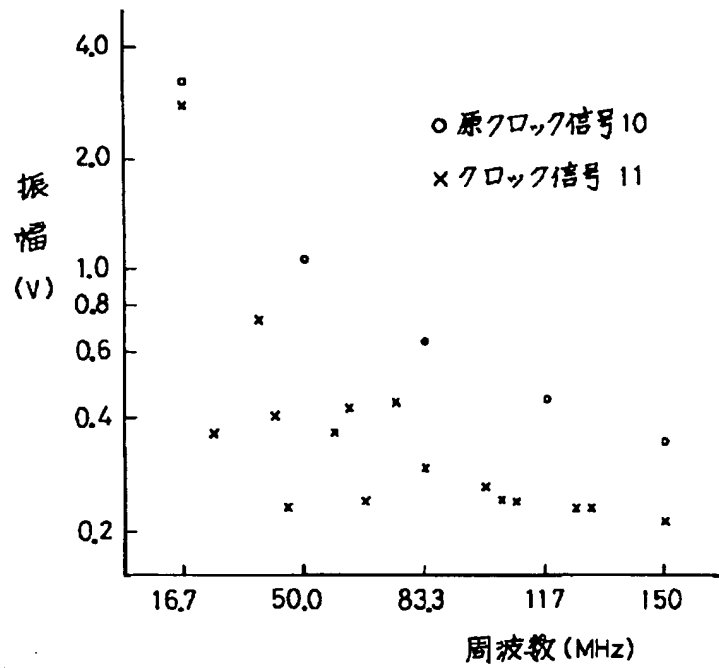
【図3】



【図7】



【図4】



【図5】

